

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Haruo Hyodo et al.

Art Unit : Unknown

Serial No. :

Examiner : Unknown

Filed : September 26, 2001

Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents  
Washington, D.C. 20231



*3/priority  
papers  
P. Walker  
11-14-01*

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

· Japan Application No. 2000-308623 filed October 10, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: September 26, 2001

Chris T. Mizumoto  
Reg. No. 42,899

Fish & Richardson P.C.  
45 Rockefeller Plaza, Suite 2800  
New York, New York 10111  
Telephone: (212) 765-5070  
Facsimile: (212) 258-2291

30067310.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF045065885US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit September 26, 2001

Valentin Figueroa  
Signature

Valentin Figueroa  
Typed or Printed Name of Person Signing Certificate

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC986 U.S. PTO  
09/963839  
09/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年10月10日

出 願 番 号  
Application Number:

特願2000-308623

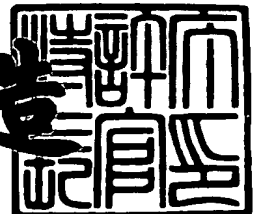
出 願 人  
Applicant(s):

三洋電機株式会社

2001年 8月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073717

【書類名】 特許願

【整理番号】 KAA1000060

【提出日】 平成12年10月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/28

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 兵藤 治雄

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 木村 茂夫

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 高野 靖弘

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 近藤 定男

【代理人】

    【識別番号】 100111383

    【弁理士】

    【氏名又は名称】 芝野 正雅

    【連絡先】 電話03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

    【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁物より成る支持基板と、  
該支持基板の表面に設けた導電パターンと該導電パターンと電氣的に接続され  
裏面に設けた外部接続端子と、

前記支持基板の前記導電パターン上に設けた回路素子と、  
前記回路素子を覆い前記支持基板との間に気密中空部を形成して接着されたガ  
ラス板とを具備することを特徴とする半導体装置。

【請求項 2】 前記ガラス板は、透明なガラス板であることを特徴とする請  
求項 1 記載の半導体装置。

【請求項 3】 前記支持基板は、平坦な支持部と柱状部で構成され、前記導  
電パターンを前記支持部に設けることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記ガラス板は、前記柱状部に接着されることを特徴とする  
請求項 1 記載の半導体装置。

【請求項 5】 前記支持基板にビアホールが設けられて、前記回路素子と前  
記外部接続端子とを電氣的に接続することを特徴とする請求項 1 記載の半導体装  
置。

【請求項 6】 前記回路素子は、半導体素子あるいはヒューズ素子であるこ  
とを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記ヒューズ素子は、ボンディングワイヤで形成されること  
を特徴とする請求項 6 記載の半導体装置。

【請求項 8】 表面に多数個の搭載部を形成した導電パターンを設け、裏面  
に外部接続端子を設けた支持基板を準備する工程と、

前記各搭載部に回路素子を固着する工程と、

前記回路素子を覆い前記支持基板との間に前記各搭載部毎に気密中空部を形成  
するようにガラス板を接着する工程と、

前記支持基板と前記ガラス板との接着部をダイシングして前記各搭載部毎に分  
離することを特徴とする半導体装置の製造方法。

【請求項 9】 前記支持基板と前記ガラス板との接着後に、前記接着部の外観検査を行うことを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は特に高周波用途の半導体素子および過電流保護機能を中空気密パッケージに収納した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

図 9 に従来の中空パッケージを用いた半導体装置の一例を示した。この電子部品は、セラミックなどからなるベース基板 1、外部接続用のリード 2、同じくセラミック等からなるキャップ 3 からなり、リード 2 の素子搭載部 4 表面に半導体チップ 5 を固着し、半導体チップ 5 とリード 2 とをボンディングワイヤ 6 で接続し、半導体チップ 5 をキャップ 3 が構成する気密空間 7 内部に封止したものである（例えば、特開平 1 0 - 1 7 3 1 1 7 号）。

【0003】

斯かる部品を製造するときは、リード 2 をリードフレームの状態で供給し、該リードフレームに対して半導体チップ 5 をダイボンド、ワイヤボンドし、そしてリードフレーム下面にベース基板 1 を貼り付け、そしてリード 2 を挟むようにしてキャップ 3 をベース基板 1 に貼り付け、そしてリード 2 を切断、整形するという工程を経る。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置では、リードフレームに対してベース基板 1 とキャップ 3 を素子毎に貼り付けるので、製造工程が複雑であり、大量生産には向かないという課題があった。

【0005】

また、半導体チップ 5 をセラミック等からなるキャップ 3 が構成する気密空間 7 内部に封止していたため、接着部の状態を外観検査において確認することがで

きず、接着不良を起こした半導体装置を取り除くことが困難であるという課題があった。

【 0 0 0 6 】

更に、上記した半導体装置はリード 2 がベース基板 1 から突出した構成をしていたため、プリント基板上に実装したときにその実装面積が大きいという課題があった。

【 0 0 0 7 】

更に、近年の携帯電話など、携帯性を具備し且つ充電電池駆動を行う電子機器では、充電時における電源の逆接続にも対策を施す必要があり、この様な場合に於いて過電流保護素子が必須となるものの、従来の素子では軽薄短小化を満足するものが無く、電子機器の大型化を招くという欠点があった。

【 0 0 0 8 】

【課題を解決するための手段】

上記した各事情に鑑みて成されたものであり、本発明の半導体装置は、絶縁物より成る支持基板と、該支持基板の表面に設けた導電パターンと該導電パターンと電氣的に接続され裏面に設けた外部接続端子と、前記支持基板の前記導電パターン上に設けた回路素子と、前記回路素子を覆い前記支持基板との間に気密中空部を形成して接着されたガラス板とを有することを特徴とする。

【 0 0 0 9 】

本発明の半導体装置は、好適には、前記回路素子を中空気密するのに前記ガラス板を用いることで、接着部の状態を外観検査において確認することができ、接着不良を起こした半導体装置を取り除くことが容易となる構造を有することを特徴とする。

【 0 0 1 0 】

本発明の半導体装置は、好適には、前記基板にビアホールが設けられて、内部の素子と前記外部接続端子とを電氣的に接続することができ、プリント基板上へ実装したときにその実装面積を大幅に低減することができる構造を有することを特徴とする。

【 0 0 1 1 】

上記した課題を解決するために、本発明の半導体装置の製造方法は、表面に多数個の搭載部を形成した導電パターンを設け、裏面に外部接続端子を設けた支持基板を準備する工程と、前記各搭載部に回路素子を固着する工程と、前記回路素子を覆い前記支持基板との間に前記各搭載部毎に気密中空部を形成するようにガラス板を接着する工程と、前記支持基板と前記ガラス板との接着部をダイシングして前記各搭載部毎に分離する工程とを有することを特徴とする。

## 【 0 0 1 2 】

本発明の半導体装置の製造方法は、好適には、前記分割工程は、前記搭載部毎に凹部を有しその周囲を柱状部が取り囲み、前記柱状部のほぼ中央をダイシングするため、製造工程が簡素であり、大量生産が可能であることを特徴とする工程である。

## 【 0 0 1 3 】

## 【発明の実施の形態】

以下に本発明の実施の形態について図面を参照しながら詳細に説明する。

## 【 0 0 1 4 】

図 1 は、本発明の半導体装置の 1 実施例を示す (A) 断面図、(B) 平面図である。大判基板 2 1 から分離された基板 2 1 a は、セラミックやガラスエポキシ等の絶縁材料からなり 1 0 0 ~ 3 0 0  $\mu$  m の板厚と、平面視で (図 1 (B) のように観測して) 長辺×短辺が 2 . 5 m m × 1 . 9 m m 程度の矩形形状を有している。基板 2 1 a は更に、表面側に第 1 主面 2 2 a を、裏面側に第 2 主面 2 2 b を各々具備し、これらの表面は互いに平行に延在する。柱状部 2 3 は基板 2 1 a の外周近傍を高さ 0 . 4 m m 、幅が 0 . 5 m m 程度で取り囲むように設けられた環状の柱状部であり、柱状部 2 3 によって基板 2 1 a の中央部分を凹ませた凹部 2 4 を形成している。基板 2 1 a と柱状部 2 3 とは、各々別個に形成された部材を接着剤 3 7 で固着したものである。尚、基板 2 1 a と柱状部 2 3 とがあらかじめ一体化したものであっても良い。

## 【 0 0 1 5 】

基板 2 1 a の第 1 主面 2 2 a の表面は平坦に形成されており、その表面には金メッキなどの導電パターンによってアイランド部 2 6 と電極部 2 7 、2 8 が形成



されている。そして、基板 2 1 a のアイランド部 2 6 には例えばショットキーバリアダイオードや MOS FET 素子等の半導体チップ 2 9 がダイボンドされている。半導体チップ 2 9 の表面に形成した電極パッドと電極部 2 7、2 8 とがボンディングワイヤ 3 0 で接続されている。

## 【 0 0 1 6 】

基板 2 1 a の第 2 主面 2 2 b の表面には金メッキなどの導電パターンによって外部接続端子 3 2、3 3、3 4 が形成されている。更に電極部 3 2、3 3、3 4 には基板 2 1 a の第 1 主面 2 2 a から第 2 主面 2 2 b を貫通するビアホール 3 5 が設けられる。ビアホール 3 5 の内部はタングステン、銀、銅などの導電材料によって埋設されており、アイランド部 2 6 を外部接続端子 3 2 に、電極部 2 7 を外部接続端子 3 3 に、電極部 2 8 を外部接続端子 3 4 に各々電氣的に接続する。外部接続端子 3 2、3 3、3 4 は、その端部が基板 2 1 の端部から 0. 0 1 ~ 0. 1 mm 程度後退されている。また、電極部 2 7、2 8 のビアホール 3 5 上は平坦でないため、ボンディングワイヤ 3 0 は、各々電極部 2 7、2 8 のビアホール 3 5 上を避けて接続されているのが好ましい。外部接続端子 3 2、3 3、3 4 は、あらかじめ大判基板 2 1 に形成されている。

## 【 0 0 1 7 】

柱状部 2 3 の上部には、凹部 2 4 内部を密閉空間とするように板厚が 0. 1 ~ 0. 3 mm 程度の透明なガラス板 3 6 が接着剤 3 7 により接着固定されている。これによって半導体チップ 2 9 と金属細線 3 0 は完全に気密空間内に収納される。尚、ガラス板 3 6 には、あらかじめ接着剤 3 7 が接着面全面に塗布されている。

## 【 0 0 1 8 】

半導体チップ 2 9 周辺は、ダイシングによって切断された柱状部 2 3 が取り囲み、更にその上部を切断されたガラス板 3 6 が密閉する。柱状部 2 3 と基板 2 1 a の第 1 主面 2 2 a とが、及び柱状部 2 3 とガラス板 3 6 とが接着剤 3 7 によって接着される。これによって半導体チップ 2 9 と金属細線 3 0 は凹部 2 4 が構成する気密空間内に収納される。基板 2 1 a、柱状部 2 3 及びガラス板 3 6 の外周端面は、ダイシングによって切断された平坦な切断端面となる。

## 【 0 0 1 9 】

上記した半導体装置は、実装基板上の電極パターンに対して外部接続電極 3 2、3 3、3 4 を対向接着する様にして実装される。

## 【 0 0 2 0 】

ここで、基板の上を樹脂層で被覆し、各搭載部に固着した半導体チップの各々を共通の樹脂層で被覆する場合の実施例について簡単に説明する。

## 【 0 0 2 1 】

製造工程における機械的強度を維持し得る板厚 2 0 0 ~ 3 5 0  $\mu$  m の基板上に搭載部を複数個分、例えば 1 0 0 個分を 1 0 行 1 0 列に縦横に配置した大判の基板を準備する。基板は、セラミックやガラスエポキシ等からなる絶縁基板である。そして、各搭載部毎に半導体チップをダイボンドし、所定量のエポキシ系液体樹脂を滴下（ポッティング）し、すべての半導体チップを共通の樹脂層で被覆する。滴下した樹脂層を 1 0 0 ~ 2 0 0 度、数時間の熱処理（キュア）にて硬化させた後に、湾曲面を研削することによって樹脂層の表面を平坦面に加工する。研削にはダイシング装置を用い、ダイシングブレードによって樹脂層の表面が基板から一定の高さに揃うように、樹脂層表面を削る。この工程では、樹脂層の膜厚を 0. 3 ~ 1. 0 mm に成形する。前記ブレードには様々な板厚のものが準備されており、比較的厚めのブレードを用いて、切削を複数回繰り返すことで全体を平坦面に形成する。

## 【 0 0 2 2 】

次に、図 2 は、ヒューズを用いた過電流保護装置の実施例を示す（A）断面図、（B）平面図である。基板 5 1 はセラミックやガラスエポキシ等の絶縁材料からなる。1 0 0 ~ 3 0 0  $\mu$  m の板厚と、平面視で（図 2（B）のように観測して）長辺×短辺が 2. 5 mm×1. 9 mm 程度の矩形形状を有している。基板 5 1 は更に、表面側に第 1 主面 5 2 a を、裏面側に第 2 主面 5 2 b を各々具備する。柱状部 5 3 は基板 5 1 の外周近傍を高さ 0. 4 mm、幅が 0. 5 mm 程度で取り囲むように設けられた環状の側部であり、柱状部 5 3 によって基板 5 1 の中央部分を凹ませた凹部 5 4 を形成している。基板 5 1 と柱状部 5 3 とは、各々別個に形成された部材を接着剤 6 1 固着したものである。尚、基板 5 1 と柱状部 5 3 と

があらかじめ一体化したものであっても良い。

#### 【 0 0 2 3 】

基板 5 1 の第 1 主面 5 2 a の表面は平坦に形成されており、その表面には金メッキなどの導電パターンによって電極部 5 5、5 6 が形成されている。電極部 5 5、5 6 間には例えば直径が  $30\ \mu\text{m}$  の金属細線 5 7 がワイヤボンドによって打たれている。金属細線 5 7 は純度 99.99% の金線や、半田の細線等からなり、電極部 5 5 に 1 s t ボンドが打たれ凹部 5 4 の高さに収まる様な高さのワイヤループで電極部 5 6 に 2 n d ボンドされる。

#### 【 0 0 2 4 】

基板 5 1 の第 2 主面 5 2 b の表面には金メッキなどの導電パターンによって外部接続端子 5 8、5 9 が形成されている。更に電極部 5 5、5 6 の下部には基板 5 1 を貫通するビアホール 6 0 が設けられる。ビアホール 6 0 の内部はタングステンなどの導電材料によって埋設されており、電極部 5 5 を外部接続端子 5 8 に、電極部 5 6 を外部接続端子 5 9 に各々電氣的に接続する。外部接続端子 5 8、5 9 は、その端部が基板 5 1 の端部から  $0.01\sim 0.1\text{mm}$  程度後退されている。また、電極部 2 7、2 8 のビアホール 3 5 上は平坦でないため、ボンディングワイヤ 3 0 は、各々電極部 2 7、2 8 のビアホール 3 5 上を避けて接続されているのが好ましい。

#### 【 0 0 2 5 】

柱状部 5 3 の表面には、凹部 5 4 内部を密閉空間とするように板厚が  $0.1\sim 0.3\text{mm}$  程度の透明なガラス板 6 2 が接着剤 6 1 により接着固定されている。これによって金属細線 5 7 は完全に気密空間内に収納される。尚、ガラス板 3 6 には、あらかじめ接着剤 3 7 が接着面全面に塗布されている。

#### 【 0 0 2 6 】

上記した過電流保護装置は、実装基板上の電極パターンに対して外部接続電極 5 8、5 9 を対向接着する様にして実装される。外部接続端子 5 8、5 9 間に定格以上の過電流が流れたとき、該過電流は金属細線 5 7 を流れ金属細線 5 7 の固有抵抗によって急激な温度上昇をもたらす。この発熱により、金属細線 5 7 が溶断して過電流に対する保護機能を果たす。上記の直径  $30\ \mu\text{m}$  の金 (Au) 線で

あれば、ワイヤ長、約 0.7 mm の場合、溶断電流は約 4 A (1 ~ 5 秒) となる。多くの場合、放熱性と抵抗の関係から電極部 5 5、5 6 に近い箇所よりは、金属細線 5 7 の真中近傍で溶断する。このとき、溶断箇所が樹脂などの他の素材に接していないので、外観上で、装置が発火、発煙、変色、変形することがない装置を得ることが出来る。また、金属細線 2 7 が溶断することによって、過電流時に端子間が完全にオープンとなる素子とすることが出来る。

## 【 0 0 2 7 】

尚、ヒューズ素子としては、金属細線の他に電極部 5 5、5 6 を形成する導電パターンの一部をくさび状に幅狭にして連続させたものや、ポリシリコン抵抗体を固着すること等によっても形成することが出来る。要は溶断箇所が凹部 5 4 内に収納されていればよい。また、凹部 5 4 内部は大気中で密閉するが、例えば窒素雰囲気等の不燃性ガスを充填することも可能である。

## 【 0 0 2 8 】

上記したように、本発明の半導体装置は、半導体チップ 2 9、ボンディングワイヤ 3 0 等を中空気密するのに透明なガラス板 3 6 を用いることで、ガラス板 3 6 と柱状部 2 3 との接着部の状態を外観検査において確認することができ、接着不良を起こした半導体装置を取り除くことが容易とすることができる。

## 【 0 0 2 9 】

更に、本発明の半導体装置では、柱状部 2 3 およびガラス板 3 6 を用いることで中空構造を形成することができ、基板 2 1 a 上にダイボンドされた半導体チップ 2 9 等は、中空部である凹部 2 4 が構成する気密空間内に収納される。そのことにより、基板 2 1 a 上を樹脂層で被覆し、搭載部に固着した半導体チップ 2 9 を樹脂層で被覆する場合と比べて、材料コストを大幅に低減することができる。

## 【 0 0 3 0 】

更に、本発明の半導体装置では、柱状部 2 3 およびガラス板 3 6 を用いることで中空構造を形成することができ、中空構造の蓋体としてガラス板 3 6 を用いるため半導体素子の表面の平坦化をする工程を必要としないため、基板 2 1 a 上を樹脂層で被覆し、搭載部に固着した半導体チップ 2 9 を樹脂層で被覆する場合と

比べて、製造コストを大幅に低減することができる。

【0031】

更に、基板21aには、第1主面22aから第2主面22bを貫通するビアホール35が設けられる。そして、ビアホール35の内部はタングステン、銀、銅などの導電材料によって埋設されており、アイランド部26を外部接続端子32に、電極部27を外部接続端子33に、電極部28を外部接続端子34に各々電氣的に接続し、内部の素子と前記外部接続端子とを電氣的に接続することができる。基板21aから外部に導出されるリードを必要としないため、プリント基板上へ実装したときにその実装面積を大幅に低減することができる。

【0032】

以下に図1に示した本発明の第1の実施例を詳細に説明する。

【0033】

第1工程：図3（A）参照

先ず、大判の基板21を準備する。大判基板21はセラミックやガラスエポキシ等の絶縁材料からなり、100～300 $\mu$ mの板厚を具備する。大判基板21は更に、表面側に第1主面22aを、裏面側に第2主面22bを各々具備する。符号23は高さ0.1～0.5mm、幅が0.25～0.5mm程度の一定幅で設けられた格子状の柱状部であり、柱状部23によって基板21の中央部分を凹ませた凹部24を形成している。基板21と柱状部23とは、あらかじめ一体化成形され、柱状部23を含めて上記した板厚となっている。尚、基板21と柱状部23とを個別に形成して接着固定したものを準備しても良い。

【0034】

凹部24は、例えば1つの大きさが約0.8mm×0.6mmの大きさを持ち、基板21に縦横に等間隔で配置されている。凹部24の第1主面22aには多数組のアイランド部26と電極部27、28が金メッキなどの導電パターンにより描画されている。各凹部24とその周囲を囲む柱状部23の一部が素子搭載部41を構成することになる。

【0035】

第2工程：図3（B）参照

この様な基板 21 を準備した後、各凹部 24 毎に、アイランド部 26 に半導体チップ 29 をダイボンダし、ボンディングワイヤ 30 をワイヤボンダする。そして、半導体チップ 29 にワイヤボンダしたボンディングワイヤ 30 の片側は、電極部 27、28 に接続される。このときのボンディングワイヤ 30 のループ高さは、柱状部 23 の高さ以下に収まる高さとする。

## 【0036】

第3工程：図4（A）参照

板厚が0.1～0.3mm程度の透明なガラス板 36 を準備し、これを複数の搭載部 41 に跨る柱状部 23 の上に接着して、各凹部 24 をガラス板 36 で密閉する。接着にはエポキシ系等の接着剤を用いる。これによって半導体チップ 29 とボンディングワイヤ 30 は完全に気密空間内に収納される。尚、ガラス板 36 には、あらかじめ接着剤 37 が接着面全面に塗布されている。

## 【0037】

その後、柱状部 23 とガラス板 36 とが接着不良を起こしているかどうかを目視によりチェックを行う。

## 【0038】

第4工程：図4（B）参照

そして、基板 21 表面に形成した合わせマークを基準にして、各搭載部 41 毎に分割して図5に示したような個別の装置を得る。分割にはダイシングブレード 42 を用い、基板 21 の裏面側にダイシングシートを貼り付け、基板 21 とガラス板 36 とをダイシングライン 43 に沿って縦横に一括して切断する。尚、ダイシングライン 43 は柱状部 23 の中心に位置する。また、ダイシングシートをガラス板 36 側に貼り付けて第2主面 22b 側からダイシングしても良い。

## 【0039】

以下に、図1に示した本発明の第2の実施例を説明する。柱状部 23 を個別部品として構成した場合である。

## 【0040】

第1工程：図6（A）参照

先ず、平板状の大判の基板 21 を準備する。大判基板 21 はセラミックやガラ

スエポキシ等の絶縁材料からなり、 $100\sim300\mu\text{m}$ の板厚を具備する。大判基板21は更に、表面側に第1主面22aを、裏面側に第2主面22bを各々具備する。第1主面22aの表面には多数組のアイランド部26と電極部27、28が金メッキなどの導電パターンにより描画されている。アイランド26と電極部27、28の周囲を囲む領域が素子搭載部41を構成し、該素子搭載部41が等間隔で縦横に多数個配置される。

## 【0041】

第2工程：図6（B）参照

この様な基板21を準備した後、各素子搭載部41毎に、アイランド部26に半導体チップ29をダイボンンドし、ボンディングワイヤ30をワイヤボンンドする。そして、半導体チップ29にワイヤボンンドしたボンディングワイヤ30の片側は、電極部27、28に接続される。このときのボンディングワイヤ30のループ高さは、凹部24深さ以下に収まる高さとする。

## 【0042】

第3工程：図7（A）参照

ダイボンンド、ワイヤボンンドが終了した基板21に対して、素子搭載部41に対応する箇所に凹部24（貫通穴）を持つ第2基板21aを第1主面22a表面に接着固定する。接着にはエポキシ系等の接着剤を用いる。

## 【0043】

凹部24は例えば1つの大きさが約 $0.8\text{mm}\times0.6\text{mm}$ の大きさを持ち、第2基板21bに縦横に等間隔で配置されている。凹部24と凹部24との間には、柱状部23が高さ $0.1\sim0.2\text{mm}$ 、幅が $0.2\sim0.5\text{mm}$ 程度の一定幅で格子状に取り囲む。これで凹部24にアイランド26、半導体チップ29、電極パット27、28等が露出し、これで図3（B）の状態と等価になる。この手法であれば、平板状の基板21に対してダイボンンド、ワイヤボンンドが出来るので、吸着コレットやボンディングツールと柱状部23との接触がなく、凹部24の寸法を縮小できる。

## 【0044】

第4工程：図7（B）参照

板厚が0.1～0.3mm程度の透明なガラス板36を準備し、これを複数の搭載部41に跨る柱状部23の上に接着して、各凹部24をガラス板36で密閉する。接着にはエポキシ系やガラス系の接着剤を用いる。これによって半導体チップ29とボンディングワイヤ30は完全に気密空間内に収納される。尚、ガラス板36には、あらかじめ接着剤37が接着面全面に塗布されている。

## 【0045】

その後、柱状部23とガラス板36とが接着不良を起こしているかどうかを目視によりチェックを行う。

## 【0046】

第5工程：図8（A）参照

そして、基板21表面に形成した合わせマークを基準にして、各搭載部41毎に分割して図8（B）に示したような個別の装置を得る。分割にはダイシングブレード42を用い、基板21の第2主面22b側にダイシングシートを貼り付け、基板21、第2基板21b、及びガラス板36とをダイシングライン43に沿って縦横に一括して切断する。尚、ダイシングライン43は柱状部23の中心に位置する。また、第2主面22b側からダイシングする構成でも良い。

## 【0047】

## 【発明の効果】

上記したように、本発明によれば、半導体チップ、ボンディングワイヤ等を中空気密するのに透明なガラス板を用いることで、ガラス板と柱状部との接着部の状態を外観検査において確認することができ、接着不良を起こした半導体装置を取り除くことが容易とすることができる。

## 【0048】

更に、本発明の半導体装置では、基板上に柱状部およびガラス板を用いて中空構造を形成することができ、その中空部に半導体チップ等を固着し半導体素子を形成するので、基板上を樹脂層で被覆し、搭載部に固着した半導体チップを樹脂層で被覆する場合と比べて、材料コストを大幅に低減することができる。

## 【0049】

更に、本発明の半導体装置の製造方法では、一括して複数の半導体素子を形成



できる他に、中空のパッケージの蓋体としてガラス板を用いるため半導体素子の表面を平坦化する工程を必要としないため、製造コストを大幅に低減することができる。

【 0 0 5 0 】

更に、基板には、第 1 主面から第 2 主面を貫通するビアホールが設けられる。そして、ビアホールの内部はタングステン、銀、銅などの導電材料によって埋設されており、アイランド部および電極部を外部接続端子に電氣的に接続し、内部の素子と前記外部接続端子とを電氣的に接続することができ、基板から外部に導出されるリードを必要としないため、プリント基板上へ実装したときにその実装面積を大幅に低減することができる。

【 0 0 5 1 】

更に、本発明の半導体装置の製造方法では、基板上に複数の搭載部を形成し、搭載部毎に凹部を有しその周囲を柱状部が取り囲み、複数の半導体素子を基板上に形成する。そして、分割工程では、基板上に形成された複数の半導体素子を囲む柱状部のほぼ中央をダイシングし、個々の半導体素子を形成する製造方法であり、大量生産が可能である。

【図面の簡単な説明】

【図 1】

本発明を説明するための (A) 断面図、(B) 平面図である。

【図 2】

本発明を説明するための (A) 断面図、(B) 平面図である。

【図 3】

本発明を説明するための (A) 斜視図、(B) 斜視図である。

【図 4】

本発明を説明するための (A) 斜視図、(B) 斜視図である。

【図 5】

本発明を説明するための斜視図である。

【図 6】

本発明を説明するための (A) 斜視図、(B) 斜視図である。

【図 7】

本発明を説明するための (A) 斜視図、 (B) 斜視図である。

【図 8】

本発明を説明するための (A) 斜視図、 (B) 斜視図である。

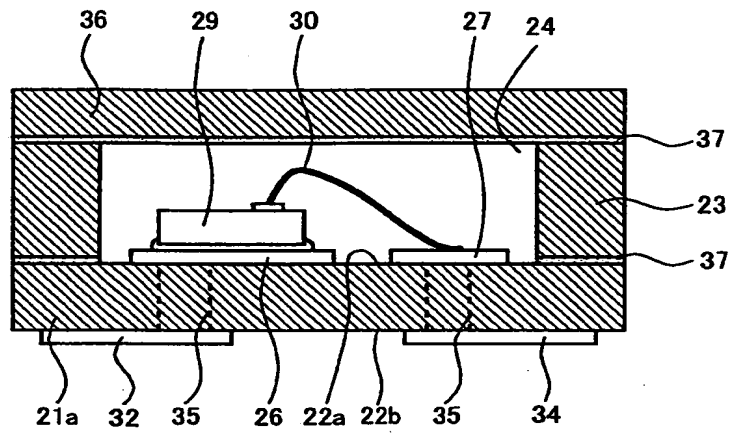
【図 9】

従来例を説明するための (A) 断面図、 (B) 平面図である。

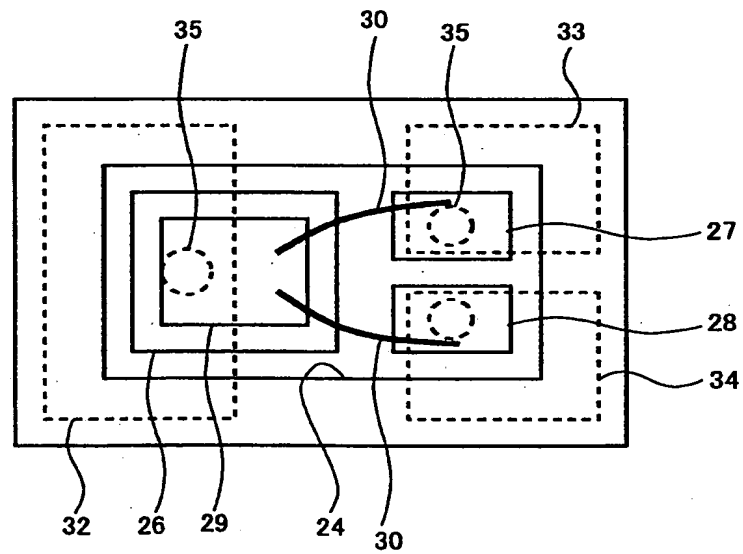
【書類名】 図面

【図 1】

(A)

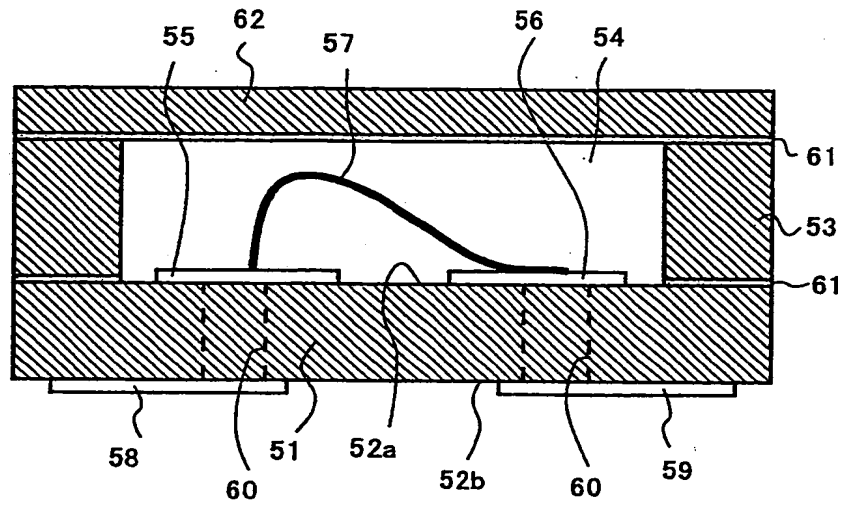


(B)

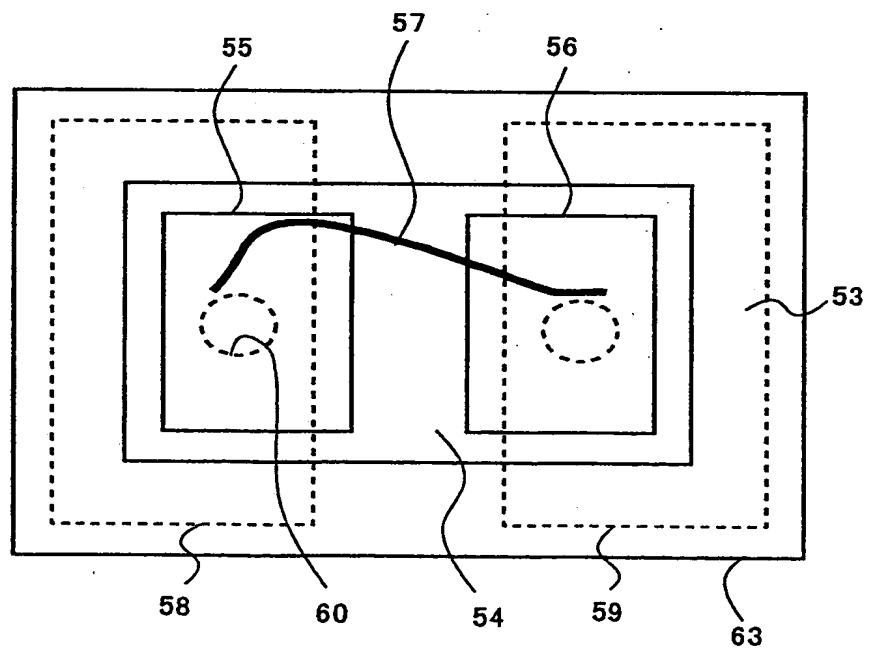


【図2】

(A)

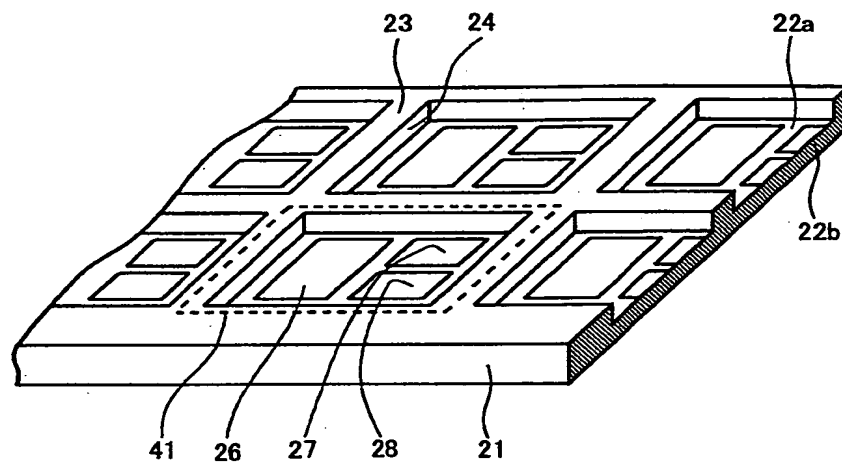


(B)

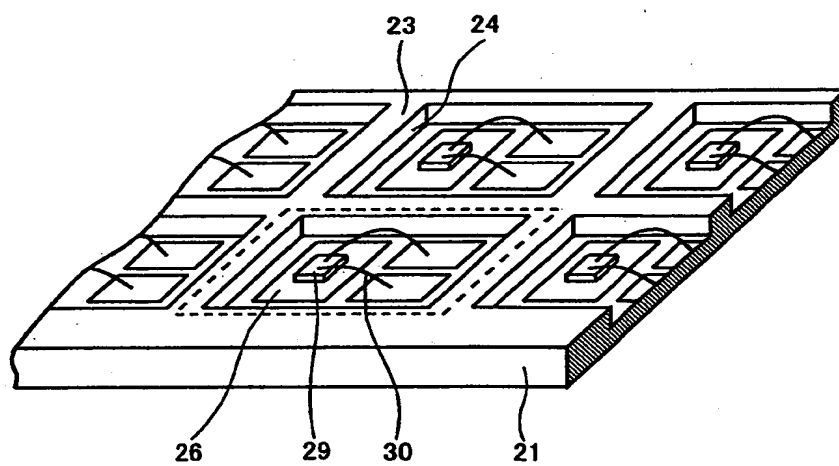


【図 3】

(A)

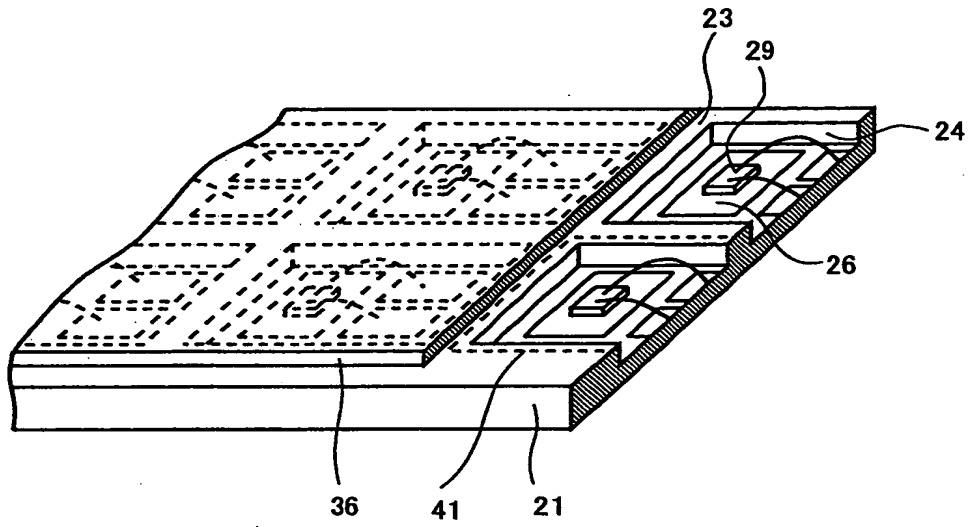


(B)

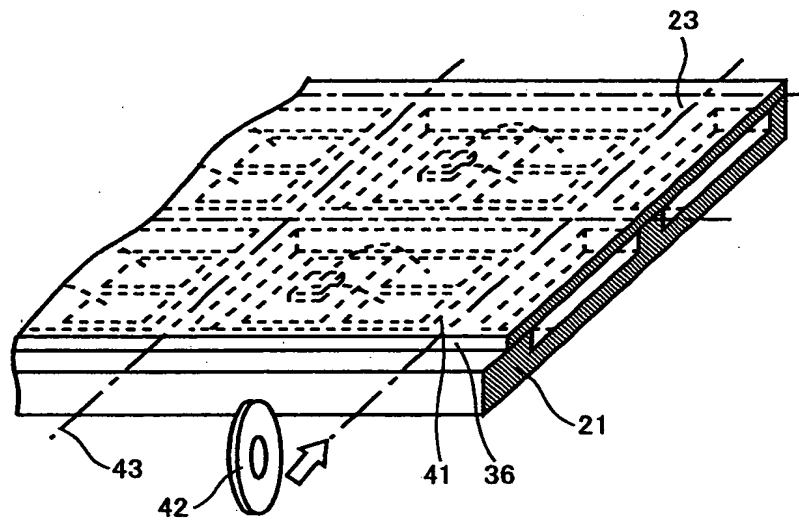


【図 4】

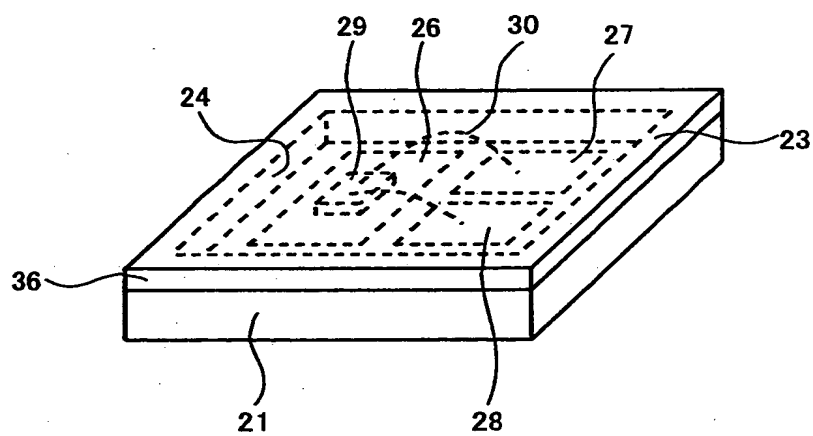
(A)



(B)

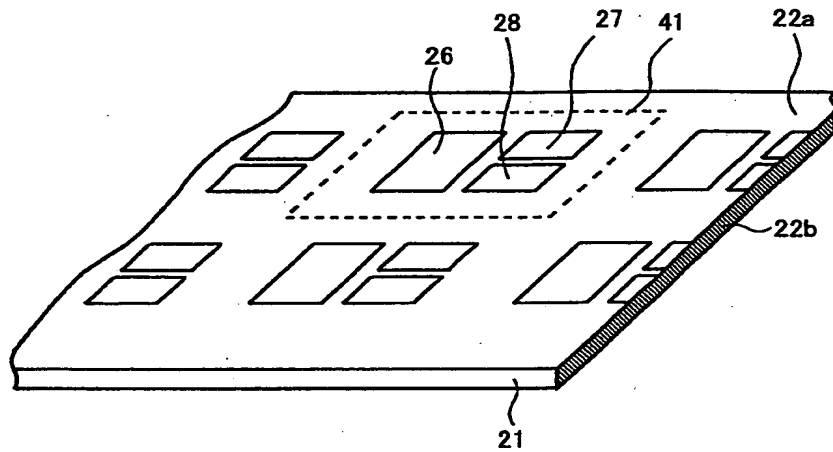


【図 5】

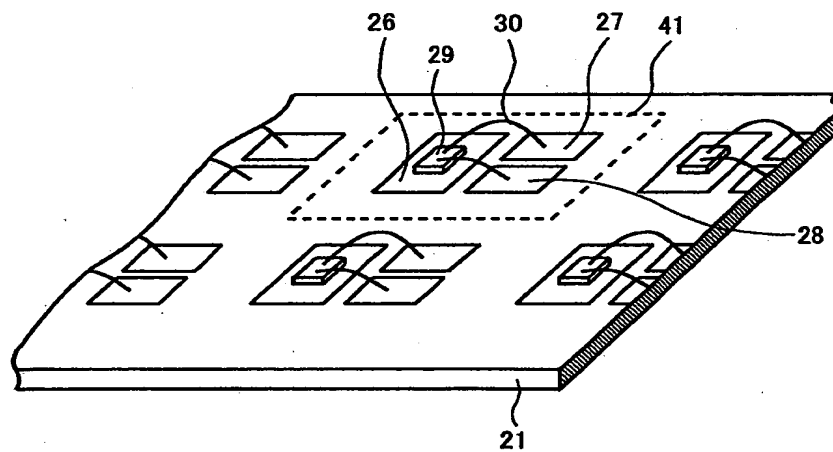


【図 6】

(A)



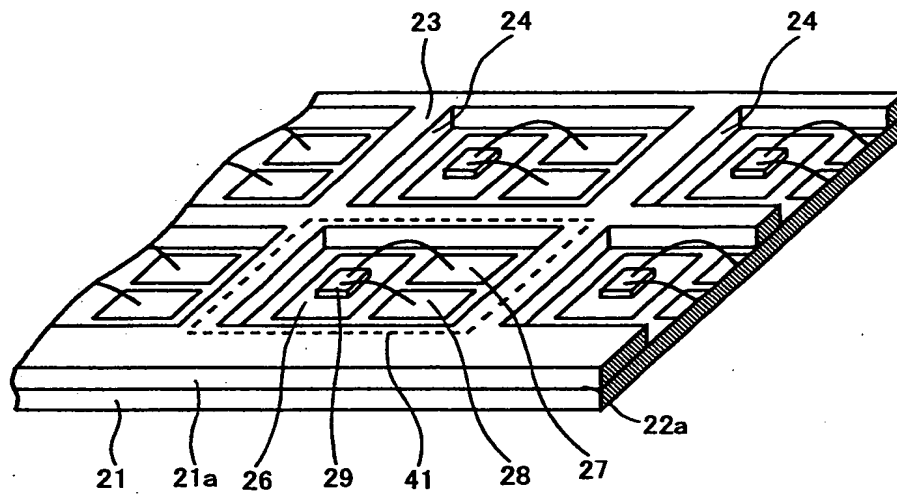
(B)



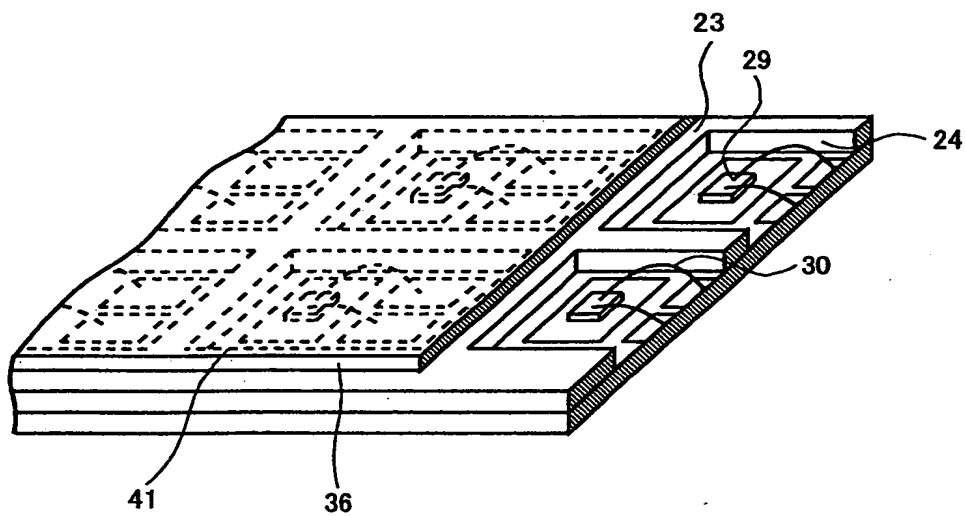


【図 7】

(A)

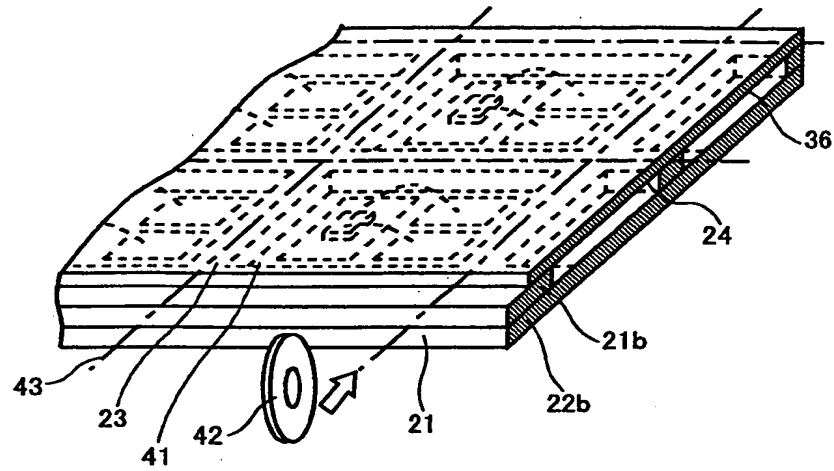


(B)

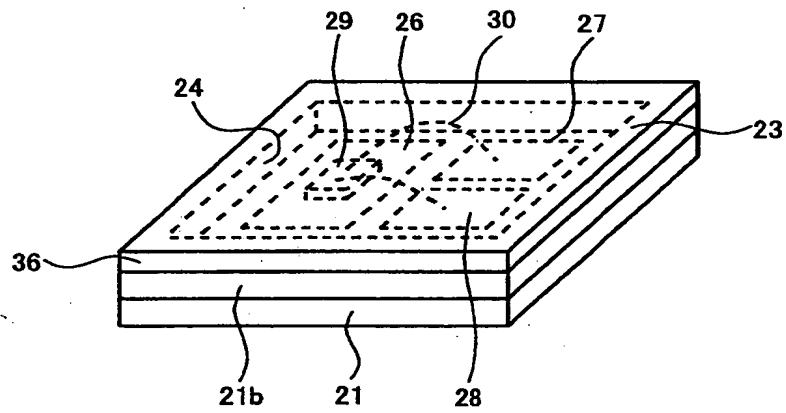


【図 8】

(A)

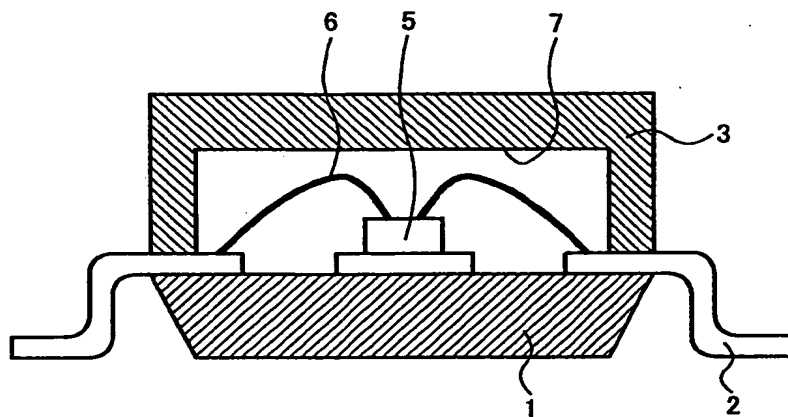


(B)

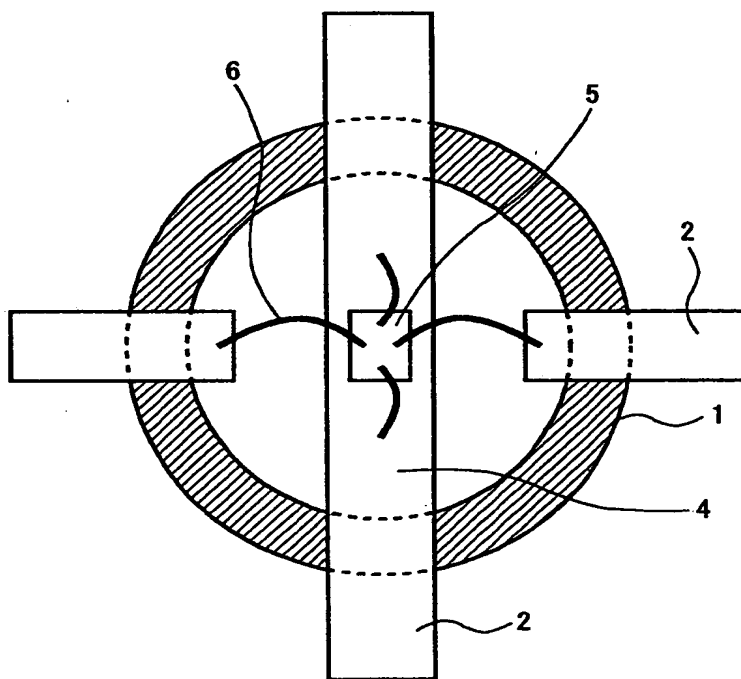


【図9】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 本発明は特に高周波用途の半導体素子を中空気密パッケージに収納した半導体装置において、外観検査における接着不良品の判定を可能にする半導体装置およびその製造方法に関する。

【解決手段】 本発明では、基板 2 1 a の表面側に第 1 主面 2 2 a を具備する。第 1 主面 2 2 a にはアイランド部 2 6 が形成され半導体チップ 2 9 等が固着される。半導体チップ 2 9 等は、柱状部 2 3 および透明なガラス板 3 6 により中空密閉される。そして、柱状部 2 3 とガラス板 3 6 とは、エポキシ樹脂等で接着されるが、このとき接着不良が生じるが、ガラス板を用いることでこの接着不良を外観検査で発見することができるの半導体装置およびその製造方法を提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社